

ESTRATÉGIAS BÁSICAS PARA A CONCEPÇÃO AUTOMÁTICA DO LAYOUT DE CIRCUITOS EM LÓGICA ALEATÓRIA

R. REIS*

SUMARIO

As estratégias básicas para a concepção automática do layout (desenho) de blocos funcionais em lógica aleatória são baseadas em três aspectos: maleabilidade, estrutura em bandas e transparência das células. É feita uma análise sobre cada um destes aspectos, apresentando como resultado algumas estratégias de concepção.

ABSTRACT

The basic strategies for the design automation of the lay-out of random logic blocks are based in three aspects: maleability, strip structure and cell transparency. It is done an analysis about each one of these aspects and some design strategies are shown as results.

* Engenheiro Eletrônico (UFRGS, 1978), Pós-Graduação em Ciência da Computação (UFRGS, 1979), D.E.A. em Microeletrônica (INPG, FRANÇA, 1980), Docteur-Ingénieur em Informática, opção Microeletrônica (INPG, França, 1983).

Áreas de interesse: Concepção de circuitos integrados, compiladores de silício, CAD; Universidade Federal do Rio Grande do Sul, Curso de Pós-Graduação em Ciência da Computação, Caixa Postal 1501 - 90000 - Porto Alegre - RS - Brasil.

A evolução do processo de concepção de circuitos em alta escala de integração (VLSI) mostra que a tendência atual é o uso intenso de estruturas regulares. É muito menos com plexo o desenvolvimento de ferramentas de PAC para estruturas regulares do que para estruturas em lógica aleatória. Devido ao grande número de informações que devem ser tra tadas, a concepção de circuitos VLSI requer uma automação do processo de concepção, sen do por isso que as estruturas regulares são as mais utilizadas atualmente.

O uso de lógica aleatória é interessante na concepção de partes de controle (sequencia- dores), pois estruturas em lógica aleatória ocupam menos área do que estruturas regula- res equivalentes (PLA, ROM) /REI 83a/.

Atualmente não existem ferramentas de PAC para estruturas em lógica aleatória que sejam satisfatórias, pois a área resultante é muito maior do que no desenho manual. Isto ocor re pelo seguinte fato: o número de regras necessárias para a automação da concepção de estruturas regulares não é muito grande, pois a estrutura básica é sempre a mesma, por outro lado o número de regras relativas à concepção de blocos em lógica é muito grande, pois o lay-out pode ser efetuado de inúmeras maneiras.

Por exemplo, o layout de uma célula elementar como um inversor é flexível e quanto mais complexa é a célula mais flexível se torna o seu desenho. Fato este que torna mais com plexo o processo de determinação de regras de automação. O conceptor ao fazer o desenho (lay-out) de uma célula ele faz uma série de opções (posicionamento de transistores, conexões, etc...) de maneira empírica, e de acordo com sua experiência. O computador no entanto necessita de regras objetivas e formais. Uma maneira de facilitar o processo de automação é a determinação de estratégias, denominadas de metaregras /REI 84b/

Portanto, ferramentas eficientes para a concepção automática de blocos em lógica aleat^o ria deverão ser desenvolvidas utilizando técnicas de inteligência artificial. Um passo importante neste sentido é a determinação de regras e metaregras de concepção.

Este trabalho presente ser uma contribuição inicial na análise e na determinação de es- tratégias de concepção de blocos em lógica aleatória.

Nota: todos os dados citados neste trabalho são referentes à tecnologia NMOS, salvo ci- tação em contrário.

II. MALEABILIDADE

A metodologia de concepção apresentada em /REI 83A, /REI 83F/ e /REI 84A/ é uma metodo- logia descendente tendo como característica o planejamento da planta baixa. Este plane- jamento nos permite determinar a área e a forma de cada bloco funcional antes da concep- ção detalhada do lay-out de cada um desses blocos. A alocação dos blocos funcionais sobre a planta baixa é feita de maneira que os blocos menos maleáveis, quanto a forma, sejam alo cados prioritariamente. A maleabilidade de um bloco é definida como sendo a capacidade

de modificação de sua forma, através da modificação de sua organização interna. Um bloco funcional que constitui um circuito integrado pode ser classificado quanto ao seu grau de maleabilidade topológica, variando de "duro" a "mole". Como exemplo de blocos duros temos os "pads" de um circuito. Um bloco funcional que já esteja desenhado (já utilizado em um outro circuito) também será considerado um bloco duro. Um bloco ROM também pode ser considerado um bloco com grande grau de dureza, pois a variação de sua forma é fortemente descontínua, sendo função da variação da organização interna. Por exemplo, um plano de ROM de 4×4 bits pode ser modificado para 2×8 , 8×2 , 1×16 ou 16×1 , não aceitando soluções intermediárias. Em /REI 83a/ são mostradas as possibilidades de variação da forma de diversos blocos funcionais, com a apresentação de exemplos.

O limite de maleabilidade de um bloco é um aspecto importante a ser considerado. Definimos como limite de maleabilidade a situação em que o aumento de uma das dimensões de um bloco ou de uma célula não permite reduzir a dimensão oposta. Por exemplo, se considerarmos uma célula registro a 6 transistores, podemos obter diversas soluções para o seu desenho. Em /REI 83f/ são mostradas as soluções encontradas e na figura 1, podemos observar a curva de deformabilidade da célula. Os pontos correspondentes às soluções E e C representam os limites de maleabilidade da célula em altura e largura, respectivamente. A solução A representa a célula de menor área, sendo que a curva tracejada representa uma equisuperfície.

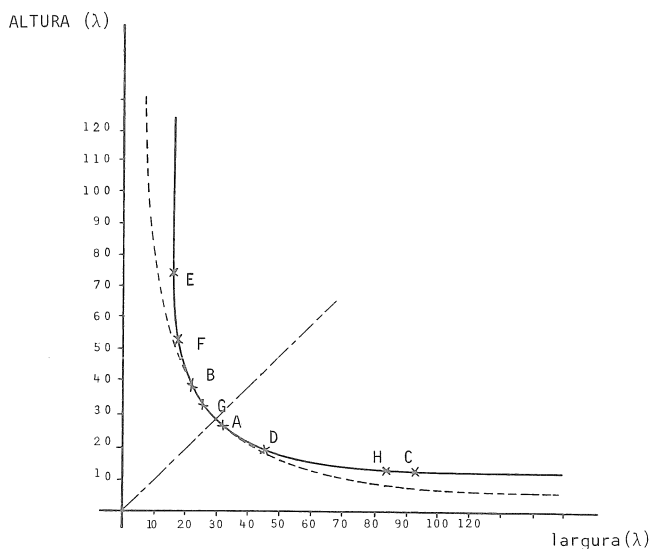


Figura 1 - Maleabilidade de um ponto de registro a 6 transistores.

Os blocos funcionais implementados em lógica aleatória são blocos que apresentam uma grande flexibilidade quanto as suas formas, sendo portanto classificados como blocos moles (caso típico). Devido a isto, devem ser os últimos blocos a serem alocados na planta baixa, procurando-se preencher os espaços vazios existentes. É interessante muitas vezes subdividir um bloco em diversas partes para melhor se adaptar à planta baixa. A forma de um bloco em lógica aleatória é, conseqüentemente, diretamente dependente da topologia dos outros blocos. Portanto podemos dizer que os blocos "duros" impõem restrições aos blocos "moles".

III. ESTRUTURAS EM BANDAS

Uma banda é definida como a região delimitada por duas linhas paralelas de alimentação em metal: uma linha de VCC e uma linha de massa (figura 2). Entre as duas linhas de alimentação são dispostas linhas internas em metal que servem como conexão locais (em um bloco ou célula) ou como conexões externas. A distância entre as linhas de metal é determinada pelo passo de metal (que varia em função da tecnologia) /REI 83b/.

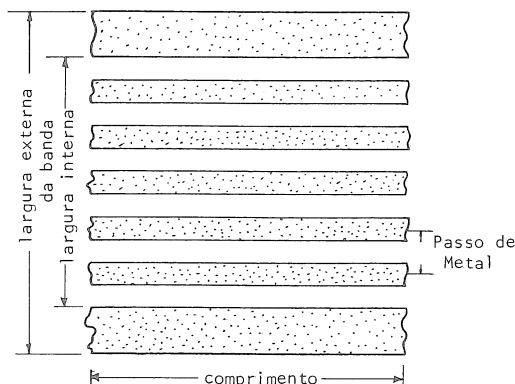


Figura 2 - Estrutura em Bandas

Para obtermos regras e metaregras de concepção devemos analisar o lay-out de circuito implementados (comerciais ou protótipos). A observação de diversos destes circuitos /REI 83a/ nos mostrou que os blocos em lógica aleatória apresentam estruturas internas sob a forma de bandas. Em alguns, o número de linhas internas varia de banda para banda, enquanto que em outros circuitos o número de linhas internas é praticamente constante, como no caso do microprocessador MC 6809 (figura 3).

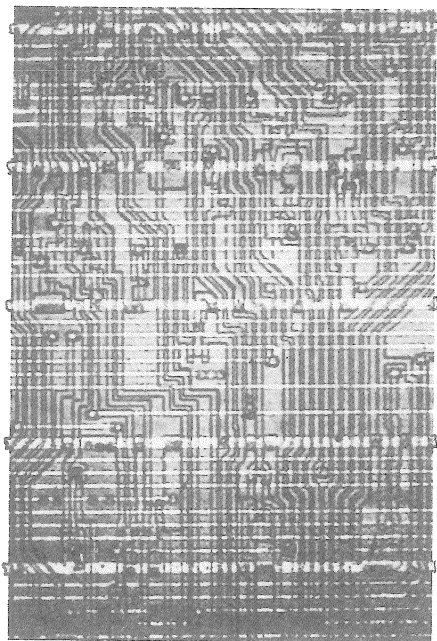


Figura 3 - Foto de um conjunto de bandas do MC6809

Um problema a ser resolvido é quanto a determinação do número ideal de linhas internas de cada banda na concepção de um determinado circuito. Uma estatística sobre o número de linhas internas por banda, de blocos em lógica aleatória de microprocessadores reais, constitui um dado importante nesta procura. Um estudo estatístico detalhado é apresentado em /REI 83a/ e um resumo é apresentado na figura 4, onde podemos observar a variação do número de linhas internas (NL) por banda em seis microprocessadores diferentes. Apesar de, na maioria dos circuitos, observarmos uma variação bastante grande do número de linhas internas, verificamos também que, em média, mais de 50% das bandas existentes em um circuito apresentam apenas dois números diferentes de linhas internas. O número médio de linhas por banda, nos circuitos observados, é 7. Devemos observar também que o número de linhas por banda aumenta com o aumento da complexidade (em nº de transistores) do bloco funcional ou do circuito.

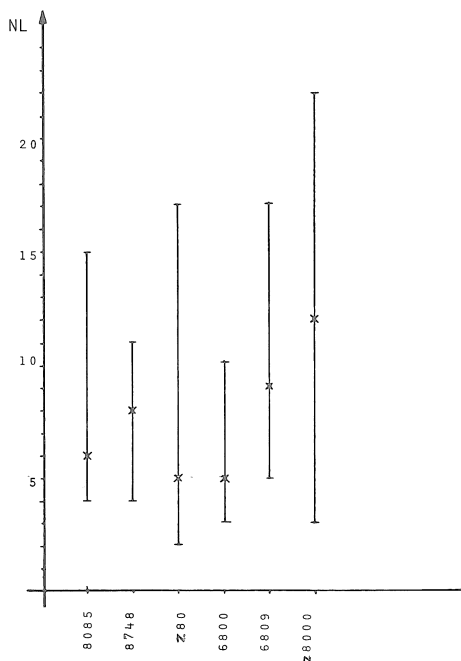


Figura 4 - Amplitude de variação do número de linhas internas (NL) por banda.
A cruz indica o número médio de NL para cada microprocessador.

IV. TRANSPARÊNCIA

A transparência de uma célula ou de um bloco, em uma direção, é definida como sendo a relação entre o número de conexões externas à esta célula (ou bloco), que podem atravessá-la nesta direção, e o número de linhas internas que podem existir na célula (ou bloco) na direção considerada.

Nota: Em nossa análise chamaremos de transparência horizontal a transparência na direção passo de metal, ou seja transparência relativa às linhas horizontais (metálicas). A transparência vertical é portanto a transparência na direção passo de poli (passo de silício policristalino), ou seja, transparência relativa às linhas verticais (poli ou difusão).

Se considerarmos o exemplo de uma célula NAND (NÃO-E), que pode ser desenhada de diversas maneiras, veremos que é possível obter diversos níveis de transparência para uma mesma célula. Na figura 5, a célula NAND foi desenhada de quatro maneiras, conservando sempre a mesma forma e tamanho dos transistores. Variando o material das entradas e saídas da célula, obtemos diversos graus de transparência.

A transparência vertical de uma célula é normalmente baixa e bastante inferior à transparência horizontal. No exemplo da figura 5 temos uma transparência vertical nula em todos os casos.

Quando a transparência em uma direção é baixa, a maioria das interconexões devem utilizar canais de conexão externos. Por outro lado, quando a transparência horizontal é forte, a maioria das interconexões podem se dispor sobre as bandas, ou seja sobre os circuitos ativos (transistores).

Como a transparência horizontal é mais importante, principalmente devido ao fato das linhas metálicas serem utilizadas exclusivamente para conexões (incluindo as linhas de alimentação), nos deteremos aqui na análise da transparência horizontal. Em /REI 83a/ são apresentados alguns estudos sobre a transparência vertical.

IV.1 Transparência Horizontal

As linhas metálicas constituem a rede de conexões mais importante em um circuito. Estas conexões podem ser de diferentes classes:

- conexões internas (locais) à célula,
- conexões entre células vizinhas,
- conexões internas à um grupo de células,
- conexões externas à um grupo de células,
- ligações entre conexões realizadas em silício policristalino ou em difusão.

A transparência horizontal também pode ser dividida em diversas classes:

- transparência de uma célula,
- transparência de um grupo de células,
- transparência global de uma banda.

A primeira classe é analisada através de um estudo estatístico /REI 83a/ sobre a transparência média das células dos microprocessadores Z8000 e 6800.

A segunda e a terceira classe são analisadas através de um estudo sobre a probabilidade de utilização das linhas internas de uma banda em função do seu comprimento (medido em número de passos de poli).

IV.1.1 Transparência média de uma Célula

Esta estatística foi efetuada da seguinte maneira: primeiramente foram escolhidos, aleatoriamente, diversos grupos de células sobre bandas diferentes, com número de linhas

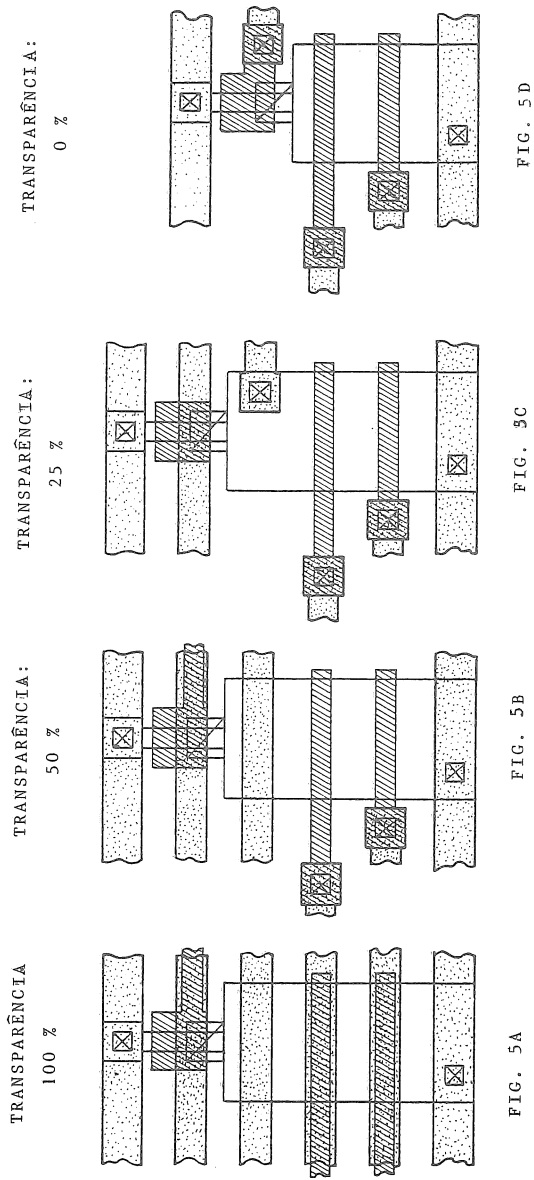


Figura 5: Celula NAND com diferentes transparências horizontais

internas (NL) diferentes. Em seguida foi medida a transparência de cada célula e obtida a transparência média de cada grupo de células com um mesmo número de linhas internas. Considerando o número de linhas internas por banda, obteve-se também uma transparência média global das células observadas. O resumo dos resultados obtidos é mostrado na tabela 1, para o microprocessador Z8000, e na tabela 2, para o microprocessador MC 6800.

NL	NÚMERO MÉDIO DE CANALIS OCUPADOS	TRANSPARÊNCIA %
12	3,64	70
9	2,86	68
7	2,41	66
5	1,67	67
Média 9,36	2,98	68

Tabela 1 - Transparência horizontal das células do Z8000.

NL	NÚMERO MÉDIO DE CANALIS OCUPADOS	TRANSPARÊNCIA %
10	3,71	63
7	1,63	77
5	1,59	68
Média 7,34	2,32	68

Tabela 2 - Transparência horizontal de células do MC 6800.

Podemos observar que mesmo variando o número de linhas internas da banda, encontramos transparências próximas de 2/3 do número de linhas. Verificamos que tanto para o Z8000 (16 bits) como para o MC6800 (8 bits) encontramos resultantes semelhantes. Observações rápidas em outros microcircuitos nos mostraram resultados semelhantes, o que nos leva a considerar que, para circuitos com complexidade acima de mil transistores, a utilização de células com 70% de transparência é uma boa solução.

IV.1.2 Probabilidade de utilização das linhas de uma banda

O estudo estatístico efetuado nos mostra o número necessário de células em uma banda para obtermos uma ocupação total de todas as linhas internas desta banda, ou seja, obter uma transparência nula.

Os resultados do estudo estatístico efetuado sobre as bandas do Z8000 /REI 83a/ são mostrados na figura 6, onde podemos observar as curvas de transparência em função do comprimento da banda (em número de passos de poli), para diferentes número de linhas internas por banda. A transparência sobre a curva é dada em número de linhas disponíveis. A lei de probabilidade obtida é do tipo exponencial, sendo que a distribuição é dada pela seguinte equação:

$$T = NL \cdot e^{-\frac{L}{20}}$$

onde:

T = transparência em número de canais livres.

NL = número de linhas internas da banda

L = comprimento da banda em número de passos de poli.

O estudo efetuado sobre o microprocessador MC 6800 apresenta resultados semelhantes (figura 7) /REI 83a/, sendo que as curvas obtidas correspondem à equação acima.

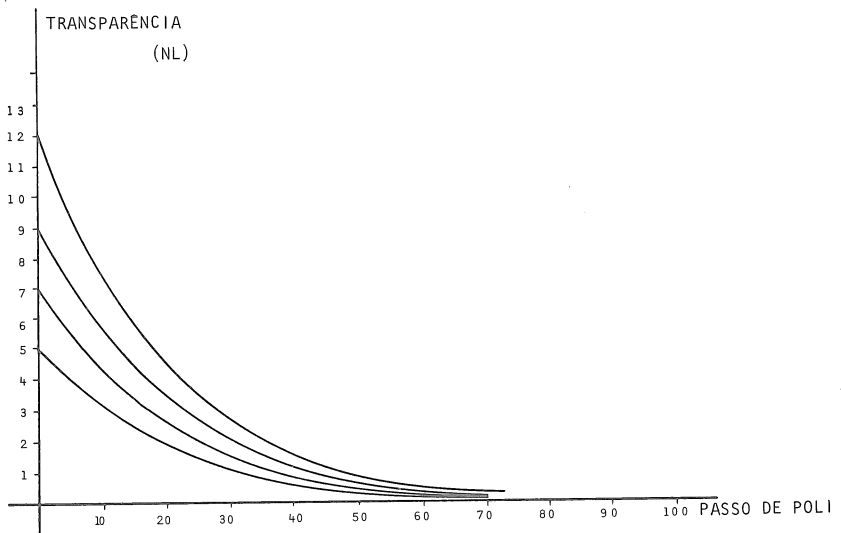


Figura 6 - Probabilidade de Transparência em função do comprimento da banda (Z8000).

A estratégia fundamental consiste no posicionamento do maior número possível de conexões sobre as zonas ativas, (transistores) utilizando a camada em metal e a transparência horizontal das células /REI 82c/ e /REI 83c/.

O primeiro passo no desenho de um bloco em lógica aleatória é determinar a estrutura da camada em metal, ou seja, determinar a estrutura em bandas adequada. Para tanto é necessário uma definição quanto ao número de bandas e quanto ao número de canais (linhas internas) por banda. É necessário também um gerenciamento destes canais, ou seja, organizar a alocação dos mesmos para conexões locais ou externas. Este assunto é abordado no item seguinte.

Na etapa seguinte deve ser efetuado o posicionamento das células sobre a estrutura em bandas definida anteriormente. Para tanto é necessário efetuar uma avaliação da área de cada célula a partir do esquema lógico da mesma. De posse destas avaliações procede-se a "montagem" das células do bloco funcional, ou seja, reservar o espaço correspondente à cada uma das células.

O próximo passo é realizar o desenho (lay-out) de cada célula, obedecendo à seguinte ordem geral (estudo resumido relativo a tecnologia NMOS):

- 1 - posicionamento do transistor de carga de uma porta lógica.
- 2 - posicionamento dos transistores de sinal da porta lógica.
- 3 - posicionamento da porta lógica seguinte conforme as etapas 1 e 2.
- 4 - traçar as ligações em polissilício e difusão entre as portas lógicas, caso existam.
- 5 - Idem, porém relativo as ligações em metal.
- 6 - repetir os itens 3, 4 e 5 até completar a célula.

Este procedimento é repetido no desenho da célula seguinte. No próximo passo deverão ser efetuadas as ligações entre células (poli, difusão e metal). É assim por diante até completar o desenho do bloco funcional.

Em todas etapas do desenho das células e das conexões entre elas deverão ser constantemente consultados os bancos de dados que armazenam as regras de desenho e as regras elétricas. No desenho dos transistores poderá ser adotado dois processos diferentes:

- A - Desenho dos transistores a partir das regras de desenho
- B - Desenho dos transistores a partir de padrões elementares catalogados em uma biblioteca.

VI. GERENCIAMENTO DOS CANAIS DE UMA BANDA

Um dos objetivos deste gerenciamento é evitar ao máximo os casos em que uma conexão externa que atravessa uma célula em um canal (utilizando uma linha interna da banda) deve trocar de canal para passar sobre a célula seguinte devido a uma conexão local, o que

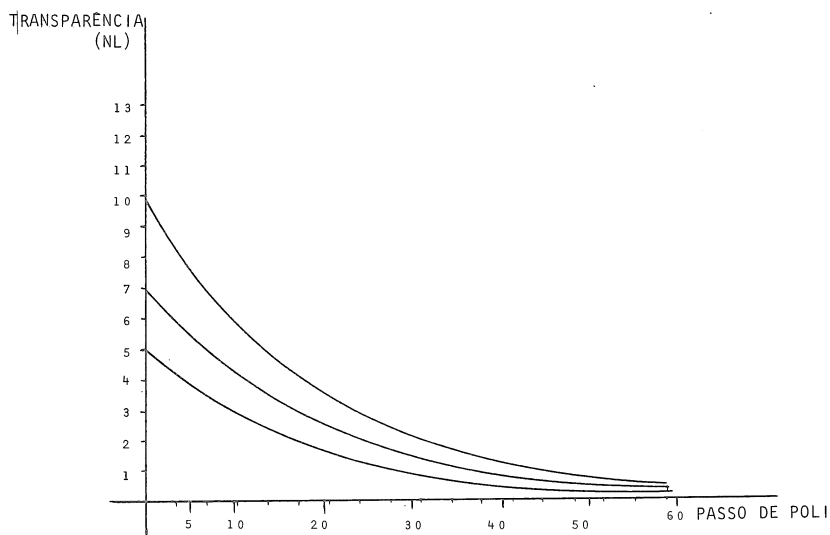
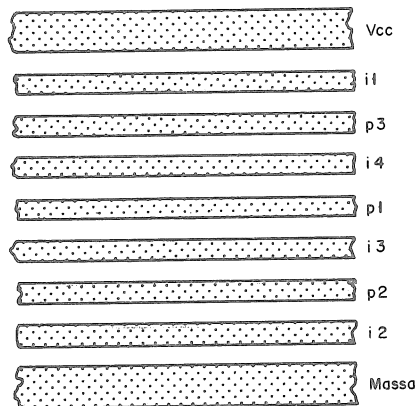


Figura 7 - Probabilidade de transparência em função do comprimento da banda (MC 6800)



i-Prioridade para Conexões Externas
p-Prioridade para Conexões Internas

Figura 8 - Exemplo de uma Ordem de Prioridades em uma Banda.

implica na realização de uma linha vertical (em polissício ou difusão) para ligar as duas linhas metálicas. Implica, portanto, na perda de área de silício e muitas vezes inviabiliza a passagem de uma conexão sobre um grupo de células.

O gerenciamento dos canais é baseado em um esquema de prioridades que define quais os canais tem prioridade para conexões internas e quais tem prioridade para conexões externas.

Na figura 8 apresentamos um exemplo de uma banda com 7 linhas (canais) onde as linhas ímpares (i) tem prioridade para conexões externas e as linhas pares (p) tem prioridade para conexões internas às células. Como as conexões internas são as primeiras a serem implementadas, caso ocupem todos os canais prioritários a conexões internas, poderão ocupar os canais com prioridade para conexões externas, procurando respeitar a ordem de prioridade (i4, i3, ...). (neste caso, i4 seria a primeira a ser ocupada). Portanto, p1 é o canal com maior probabilidade de ser ocupado por uma conexão interna e i1 é o canal com maior probabilidade de ser ocupado por uma conexão externa.

VII. MULTICAMADAS DE INTERCONEXÕES

As tecnologias de fabricação de circuitos integrados digitais MOS tem apresentado um desenvolvimento significativo quanto à realização de diversas camadas de interconexões, seja em silício policristalino, em metal, assim como em novos elementos físicos.

A existência destes multiníveis de conexões aumenta extraordinariamente a transparência das células. Podemos então reservar as camadas de conexões inferiores para as conexões locais de uma célula e para as conexões entre células vizinhas. Com isto, a transparência da camada inferior poderá ser nula e procurar-se-á desenhar as células de maneira que ocupem a menor área possível.

VIII. CONCLUSÃO

O desenvolvimento de um sistema capaz de gerar automaticamente o desenho de um bloco funcional em lógica aleatória, de maneira que a área resultante seja próxima à área ocupada no desenho manual, poderá inverter a tendência atual quanto ao uso preferencial de blocos funcionais com estruturas regulares (ROM, PLA, etc...).

O nosso objetivo é de levar adiante o trabalho aqui apresentado, no sentido de desenvolver uma ferramenta de PAC que realize a geração automática de blocos em lógica aleatória.

IX. BIBLIOGRAFIA

- /REI 82a/ REIS, R.A.L. A Topological Evaluator as the first step in VLSI design. Proceedings of Microelectronics'82. Adelaide, South Austrália, 12-14 de maio de 1982.
- /REI 82b/ REIS, R.A.L. Tess: A Topological Evaluator tool. Proceedings of ICCD 82, IEEE International Conference on Circuits and Computers. Nova York, E.U.A. 28 de setembro/1º de outubro de 1982.

- /REI 82c/ REIS, R.A.L. & ANCEAU, F. Complex Integrated Circuit Design Strategy. IEEE Journal of Solid State Circuits, Vol.SC-17, nº 3. pp.459/464, junho de 1982.
- /REI 83a/ REIS, R.A.L. Tess: Evaluator Topologique Predictif pour la Generation Automatique des Plans de Masse de Circuits VLSI. Thèse de Docteur-Ingénieur em Informática. Opção Microeletrônica, INPG-Grenoble-França, 11 de janeiro de 1983.
- /REI 83b/ REIS, R.A.L. Tess: A Topological Evaluator Tool for VLSI Circuits. Proceedings of 1983 International Symposium on VLSI Technology, Systems and Applications. Taipei, Taiwan, 30 de março a 1º de abril de 1983.
- /REI 83c/ REIS, R.A.L. & ANCEAU, F. Design Strategy for VLSI. Livro "VLSI Architecture", Editores: B. RANDELL e P.C. TRELEAVEN. Prentice-Hall, 1983.
- /REI 83d/ REIS, R.A.L. Tess: Uma Ferramenta para a Avaliação Topológica de circuitos VLSI. Anais do III Simpósio Brasileiro de Microeletrônica, USP, São Paulo, 25 a 17 de julho de 1983.
- /REI 83e/ REIS, R.A.L. Microeletrônica, Nova Revolução na Economia Mundial: Continuaremos Dependentes? Anais do XVI Congresso Nacional de Informática, SUCEUS, São Paulo, 17 a 23 de outubro de 1983.
- /REI 83f/ REIS, R.A.L. Uma Metodologia Descendente de Concepção de Circuitos Integrados. Anais do I Simpósio Brasileiro de Concepção de Circuitos Integrados SBCCI 83. Porto Alegre, 7 a 11 de novembro de 1983.
- /REI 83g/ REIS, R.A.L. Avaliação Topológica de Circuitos VLSI (trabalho convidado). II Jornadas de Diseño Lógico. Barcelona, Espanha, 14 a 16 de dezembro de 1983.
- /REI 84a/ REIS, R.A.L.; SUZIM, A.A. & ZYSMAN, E. Nova Etapa na Concepção de C.I.: Compiladores de Silício. Anais do IV Simpósio Brasileiro de Microeletrônica, USP, São Paulo, 24 a 26 de julho de 1984.
- /REI 84b/ REIS, R.A.L. Inteligência Artificial e Concepção de Circuitos VLSI. Resumos dos trabalhos do I Simpósio Brasileiro de Inteligência Artificial, UFRGS, Porto Alegre, 12 a 14 de novembro de 1984.